

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-214448

(43)Date of publication of application : 06.08.1999

(51)Int. Cl.

H01L 21/60

H01L 21/60

H01L 23/12

(21)Application number : 10-014608

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 27.01.1998

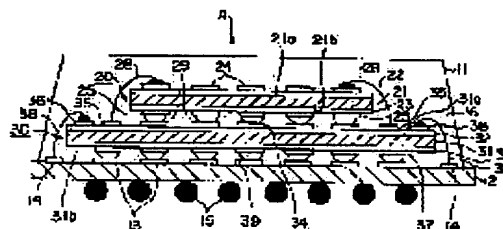
(72)Inventor : TANAKA YASUO

(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which high mounting density can be readily attained.

SOLUTION: A semiconductor chip 20 in which integrated circuits 22, 23 are formed on both faces of a silicon substrate 21 and a semiconductor chip 30 in which integrated circuits 32, 33 are formed on both faces of a silicon substrate 31 are laminated. The integrated circuits 22, 23, 32, 33 are electrically connected to each other via a solder bump and a metal fine wire, and are connected to an external circuit via a solder ball formed in a printed wiring board 12.



LEGAL STATUS

[Date of request for examination]

01.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-214448

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.⁶

H 0 1 L 21/60

23/12

識別記号

3 1 1

3 0 1

F I

H 0 1 L 21/60

23/12

3 1 1 S

3 0 1 A

F

審査請求 未請求 請求項の数11 O L (全 10 頁)

(21) 出願番号

特願平10-14608

(22) 出願日

平成10年(1998) 1月27日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 田中 康雄

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

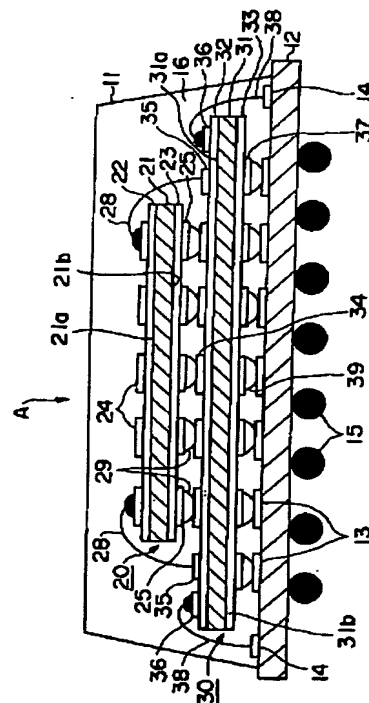
(74) 代理人 弁理士 小岩井 雅行 (外2名)

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 高い実装密度が容易に得られる半導体装置を提供する。

【解決手段】 シリコン基板21の両面に集積回路22, 23が形成された半導体チップ20と、シリコン基板31の両面に集積回路32, 33が形成された半導体チップ30とを積層する。集積回路22, 23, 32, 33は互いに半田バンプや金属細線により電気的に接続されており、プリント配線基板12に形成された半田ボールを介して外部回路に接続される。



【特許請求の範囲】

【請求項 1】半導体基板の一方の面上に第 1 の集積回路を有するとともに前記半導体基板の他方の面上に第 2 の集積回路を有する半導体チップを備えることを特徴とする半導体装置。

【請求項 2】前記半導体チップを載置するとともに前記第 1 および第 2 の集積回路の各電極と電気的に接続するための配線が形成された配線基板と、

前記第 1 および第 2 の集積回路を外部回路に接続するために、前記配線と電気的に接続された状態で前記配線基板の前記半導体チップが載置された面の反対面上に形成された複数の外部接続端子と、

前記配線基板の前記半導体チップが載置された面とともに前記半導体チップを保護する封止材とをさらに備えることを特徴とする請求項 1 の半導体装置。

【請求項 3】前記半導体チップの数は複数であり、前記各半導体チップは前記配線基板上に積層されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】前記複数の半導体チップにそれぞれ形成された前記各集積回路は互いに電気的に接続されており、前記集積回路のうちの一部の集積回路のみが前記配線基板に形成された配線に直接接続されていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】半導体基板の一方の面上に第 1 の集積回路を有するとともに前記半導体基板の他方の面上に第 2 の集積回路を有する第 1 の半導体チップと、

前記第 1 の半導体チップ上に積層された第 2 の半導体チップであって、半導体基板の前記第 1 の半導体チップに対向する面上に第 3 の集積回路を有するとともに、前記半導体基板の前記第 3 の集積回路が形成された面の裏面に放熱板を有する第 2 の半導体チップと、

前記第 1 および第 2 の半導体チップを載置するとともに前記第 1 ないし第 3 の集積回路の各電極と電気的に接続するための配線が形成された配線基板と、

前記第 1 ないし第 3 の集積回路を外部回路に接続するために、前記配線と電気的に接続された状態で前記配線基板の前記半導体チップが載置された面の反対面上に形成された複数の外部接続端子と、

前記配線基板の前記半導体チップが載置された面とともに前記半導体チップを保護する封止材と、を備えることを特徴とする半導体装置。

【請求項 6】前記放熱板は前記封止材の外部に露出されていることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】前記第 1 ないし第 3 の集積回路は互いに電気的に接続されており、

前記第 1 ないし第 3 の集積回路のうちの一部の集積回路のみが前記配線基板に形成された配線に直接接続されていることを特徴とする請求項 5 または請求項 6 に記載の半導体装置。

【請求項 8】前記第 1 の半導体チップの数は複数であ

り、

前記複数の第 1 の半導体チップは前記配線基板上に互いに積層されており、

前記第 2 の半導体チップは前記複数の半導体チップの最上層に積層されていることを特徴とする請求項 5 ないし請求項 7 のいずれかに記載の半導体装置。

【請求項 9】半導体基板の両面上に集積回路を備える半導体装置の製造方法であって、

半導体基板の一方の面上に第 1 の集積回路を形成する第 1 の回路形成工程と、

前記第 1 の集積回路上にこの集積回路を保護するための第 1 の保護膜を形成する第 1 の保護膜形成工程と、

前記半導体基板の他方の面上に第 2 の集積回路を形成する第 2 の回路形成工程と、

前記第 2 の集積回路上にこの集積回路を保護するための第 2 の保護膜を形成する第 2 の保護膜形成工程と、

前記第 1 および第 2 の保護膜を除去することにより、外部回路との電気的接続を行うためのパッドを前記集積回路表面に露出させるパッド露出工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 10】半導体基板の両面上に集積回路を備える半導体装置の製造方法であって、

第 1 の半導体基板の一方の面上に集積回路を形成する第 1 の集積回路形成工程と、

第 2 の半導体基板の一方の面上に集積回路を形成する第 2 の集積回路形成工程と、

前記第 1 の半導体基板の前記第 1 の集積回路が形成された面の裏面と第 2 の半導体基板の前記第 2 の集積回路が形成された面の裏面とを互いに貼り合わせる基板貼着工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 11】前記基板貼着工程は前記第 1 および第 2 の半導体基板の前記他方の面上に金蒸着を行った後に前記他方の面同士を互いに加熱圧着する工程であることを特徴とする請求項 10 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の構造および半導体装置の製造方法に関する。

【0002】

【従来の技術】シリコン基板上に多数の素子が形成されているチップが樹脂やセラミック等によりパッケージングされてなる半導体装置は、種々の電子製品に広く一般に用いられている。

【0003】図 9 は、従来の半導体装置 80 の断面図である。この半導体装置 80 は、表面実装型であり、その内部において、半導体チップ 81 が接着剤 82 によりダイパッド 83 上に固定されている。また、この半導体チップ 81 に形成された集積回路の電極 81a は、金属細線 84 を介してインナーリード 85 に接続されている。

そして、この半導体チップ 8 1 は、外部環境からの保護のために、ダイパッド 8 3、インナーリード 8 5 とともにプラスチック封止材 8 6 により樹脂封止されている。また、アウターリード 8 7 は、インナーリード 8 5 と一体に形成されており、プラスチック封止剤 8 6 の外部に露出されている。

【0004】半導体チップ 8 1 は、アウターリード 8 7 を介して、基板 8 8 上に形成された配線パターンのパッド 9 1 に接続されることにより、外部回路に接続される状態となっている。

【0005】以下、この表面実装型半導体装置 8 0 の基板 8 8 への実装方法を説明する。まず、表面実装型半導体装置 8 0 を、基板 8 8 上の実装されるべき位置に載置する。そして、この表面実装型半導体装置 8 0 および基板 8 8 をリフロー炉に搬入して加熱する。このときの加熱温度は、通常 215 ~ 260℃である。そして、基板 8 8 に形成されたパッド 9 1 上に予め塗布されている半田ペーストを溶融し、アウターリード 8 7 とパッド 9 1 とを接続する。

【0006】

【発明が解決しようとする課題】近年、各電子機器の小型化、高性能化に伴い、半導体素子の高集積化およびパッケージの小型化、高密度化が要求されている。このため、LSI プロセス技術においてはますますの微細化が進み、現在は 0.25 μm のパターン幅の LSI が量産されている。この微細化の要求は年々厳しさを増しており、2000 年初頭においては 0.13 μm のパターン幅のものを製造することが、目標とされている。しかしながら、このような配線の微細化の追求は、製造方法の困難さや製造コスト高を招くことが懸念されている。

【0007】また、パッケージ形態においても同様に、パッケージの小型化、多ピン化が進んでおり、パッケージの周辺部からピンを取り出すパッケージ形態から、パッケージ全面からピンを取り出す BGA (ball grid array) のような 2 次元ピン配列へと開発が進んでいる。しかし、パッケージについても、LSI 高集積化が進むにつれてパッケージサイズの増大や更なる多ピン化が招かれる。

【0008】そこで、高い実装密度が容易に得られる半導体装置を提供することを、本発明の課題とする。また、このような半導体装置を容易に製造することができる半導体装置の製造方法を提供することを本発明の他の課題とする。

【0009】

【課題を解決するための手段】上記課題を解決するために、本発明の半導体装置の第 1 の態様は、半導体基板の一方の面上に第 1 の集積回路を有するとともに前記半導体基板の他方の面上に第 2 の集積回路を有する半導体チップを備えることを特徴とする。

【0010】上記半導体装置は、前記半導体チップを載

置するとともに前記第 1 および第 2 の集積回路の各電極と電気的に接続するための配線が形成された配線基板と、前記第 1 および第 2 の集積回路を外部回路に接続するために、前記配線と電気的に接続された状態で前記配線基板の前記半導体チップが載置された面の反対面上に形成された複数の外部接続端子と、前記配線基板の前記半導体チップが載置された面とともに前記半導体チップを保護する封止材とをさらに備えてもよい。

【0011】本発明の半導体装置は、半導体基板の両面上に集積回路を形成することにより、同一基板上に従来の 2 倍の集積回路を形成することができるため、実装密度を容易に向上させることができる。

【0012】また、このような半導体装置を採用する際には、前記半導体チップの数は複数であってもよいし、前記各半導体チップは前記配線基板上に積層されているものであってもよい。このように、配線基板上に半導体チップを積層することにより、さらに実装密度を高くすることができる。

【0013】また、上記半導体装置を採用する際には、前記複数の半導体チップにそれぞれ形成された前記各集積回路が互いに電気的に接続され、前記集積回路のうちの一部の集積回路のみが前記配線基板に形成された配線に直接接続されることが、望ましい。

【0014】すなわち、複数の半導体チップ上に形成された各集積回路同士が、例えば半田バンプや金属細線等により接続され、例えば配線基板に最も近接した集積回路のみが配線基板に形成された配線に接続されることにより、各素子間の配線長を短くすることができる。このため、各素子間の信号伝搬遅延やノイズ、信号エネルギーの減衰などを防ぐことができ、素子の電気的性能を向上させることができる。

【0015】また、本発明の半導体装置の第 2 の態様は、(I) 半導体基板の一方の面上に第 1 の集積回路を有するとともに前記半導体基板の他方の面上に第 2 の集積回路を有する第 1 の半導体チップと、(II) 前記第 1 の半導体チップ上に積層された第 2 の半導体チップであって、半導体基板の前記第 1 の半導体チップに対向する面上に第 3 の集積回路を有するとともに、前記半導体基板の前記第 3 の集積回路が形成された面の裏面上に放熱板を有する第 2 の半導体チップと、(III) 前記第 1 および第 2 の半導体チップを載置するとともに前記第 1 ないし第 3 の集積回路の各電極と電気的に接続するための配線が形成された配線基板と、(IV) 前記第 1 ないし第 3 の集積回路を外部回路に接続するために、前記配線と電気的に接続された状態で前記配線基板の前記半導体チップが載置された面の反対面上に形成された複数の外部接続端子と、(V) 前記配線基板の前記半導体チップが載置された面とともに前記半導体チップを保護する封止材とを備えることを特徴とする。

【0016】すなわち、本発明の半導体装置の第 2 の態

様は、半導体基板の両面上に集積回路が形成された第 1 の半導体チップ上に、半導体基板の一方の面上に集積回路の代わりに放熱板を形成することにより、積層された各半導体チップから発生する熱を外部に放出することができる。このため、熱による半導体装置の性能の低下等を防ぐことができる。

【0017】また、このような半導体装置を採用する際には、前記放熱板は前記封止材の外部に露出されているものであってもよいし、また、前記封止材によって半導体装置内に封止されているものであってもよい。

【0018】また、上記半導体装置を採用する際には、前記第 1 ないし第 3 の集積回路が互いに電氣的に接続され、前記第 1 ないし第 3 の集積回路のうちの一部の集積回路のみが前記配線基板上に形成された配線に直接接続されることが、望ましい。

【0019】さらに、上記半導体装置において、前記第 1 の半導体チップの数は複数であってもよいし、前記複数の第 1 の半導体チップが前記配線基板上に互いに積層され、前記第 2 の半導体チップが前記複数の半導体チップの最上層に積層されてもよい。

【0020】本発明による半導体装置の製造方法の第 1 の態様は、半導体基板の両面上に集積回路を備える半導体装置の製造方法であって、(A) 半導体基板の一方の面上に第 1 の集積回路を形成する第 1 の回路形成工程と、(B) この第 1 の集積回路上にこの集積回路を保護するための第 1 の保護膜を形成する第 1 の保護膜形成工程と、(C) 前記半導体基板の他方の面上に第 2 の集積回路を形成する第 2 の回路形成工程と、(D) この第 2 の集積回路上にこの集積回路を保護するための第 2 の保護膜を形成する第 2 の保護膜形成工程と、(E) 前記第 1 および第 2 の保護膜を除去することにより、外部回路との電氣的接続を行うためのパッドを前記集積回路表面に露出させるパッド露出工程とを備えることを特徴とする。

【0021】すなわち、本発明の半導体装置の製造方法においては、半導体基板上に集積回路が形成された後にこの集積回路上に形成される保護膜の除去(パッドの形成)を、第 1 および第 2 の集積回路の形成が完了した後に行っている。このため、第 2 の回路工程がなされる時点では、第 1 の集積回路上には保護膜が残存されているので、第 1 の集積回路を汚れから守ることができる。従って、シリコン基板の両面上に集積回路を備える半導体装置を容易に製造することができる。

【0022】また、本発明による半導体装置の製造方法の第 2 の態様は、半導体基板の両面上に集積回路を備える半導体装置の製造方法であって、(a) 第 1 の半導体基板の一方の面上に集積回路を形成する第 1 の集積回路形成工程と、(b) 第 2 の半導体基板の一方の面上に集積回路を形成する第 2 の集積回路形成工程と、(c) 前記第 1 の半導体基板の前記第 1 の集積回路が形成された

面の裏面と第 2 の半導体基板の前記第 2 の集積回路が形成された面の裏面とを互いに貼り合わせる基板貼着工程とを備えることを特徴とする。

【0023】この第 2 態様の製造法にれば、別個のシリコン基板上に集積回路を形成し、これら第 1 および第 2 のシリコン基板を互いに貼り合わせるにより半導体装置が製造されるので、シリコン基板の両面上に集積回路を備える半導体装置を容易に製造することができる。

【0024】なお、第 2 態様により半導体装置を製造する際には、前記基板貼着工程は前記第 1 および第 2 の半導体基板の前記他方の面上に金蒸着を行った後に前記他方の面同士を互いに加熱圧着する工程であってもよい。また、他の金属の蒸着や、接着剤等により行われてもよい。

【0025】

【発明の実施の形態】以下、図面に基づいて、本発明の実施の形態を説明する。

<第 1 実施形態>まず、本発明の第 1 実施形態による半導体装置の構造を説明する。図 1 に本第 1 実施形態による半導体装置の縦断面図を示す。本実施形態による半導体装置は、半導体チップ 20、30、およびこれらを密封するパッケージ 11 を備える。本実施形態による半導体装置は、シリコン基板の両面に集積回路が形成された半導体チップ 20 および 30 を積層することを特徴とする。

【0026】半導体チップ 20 は、シリコン基板 21 の一方の面上に集積回路 22 を、その裏面上に集積回路 23 を、それぞれ備えている。図 2 に半導体チップ 20 の縦断面図を、図 3 に半導体チップ 20 を図 1 の A 方向から見た図(a)、およびプリント配線基板 12 側から見た図(b)を、それぞれ示す。なお、図 1、図 2 中では、図面の簡略化のため、各半導体チップ 20、30 に形成された集積回路 22、23、32 および 33 の各表面に形成される保護膜(パッシベーション膜)の図示を省略している。

【0027】シリコン基板 21 の一方の面 21a (以下、基板上面 21a と称する)上には、集積回路 22 が形成されている。この集積回路 22 の中央部には、この回路を構成する各素子(図示せず)が形成されている。以下、これを「回路領域」と称する。この回路領域の周辺に、集積回路 22 を外部へ電氣的に接続するための複数のパッド 24 が、シリコン基板 21 の外縁の内側に並べて形成されている。この各パッド 24 は、金属細線 28 を介して、半導体チップ 30 に形成されたパッド 35 にそれぞれ接続されている(図 1 中ではその一部のみを示している)。

【0028】半導体チップ 20 の、半導体チップ 30 と対向する側の面 21b (以下、基板下面 21b と称する)上には、集積回路 23 が形成されている。この集積回路 23 も集積回路 22 と同様に、中央部に回路領域が

7

形成されており、周辺部には外部と電氣的に接続するための複数のパッド25が、シリコン基板21の周囲に沿って形成されている。これらのパッド25は、半田バンプ29を介して、半導体チップ30に形成されたパッド34に、それぞれ接続されている。

【0029】半導体チップ30も、半導体チップ20と同様に、シリコン基板31の両面に集積回路32、33が形成された構造を有している。図4に半導体チップ30の半導体チップ20側から見た図(a)、およびプリント配線基板12側から見た図(b)を示す。シリコン
10 基板31の半導体チップ20側の面31a(以下、基板上面31aと称する)上には集積回路32が形成されている。図4(a)に示すように、集積回路32の中央部は各素子が形成された回路領域であり、回路領域の周辺部には集積回路32に接続された複数のパッド34が、この回路領域を取り囲むように形成されている。前述したように、各パッド34は、半田バンプ29を介して、半導体チップ20の基板下面21b上に形成された集積回路23のパッド25に、それぞれ接続されている。

【0030】また、集積回路32には、パッド34を取り
20 囲む位置にパッド35が形成されている。各パッド35は、前述したように、金属細線28を介して半導体チップ20の基板上面21aに形成された集積回路22のパッド24と、それぞれ接続されている。そして、集積回路32のパッド35の外側部分には、さらに、この集積回路32を外部に接続するための複数のパッド36が形成されている。各パッド36は、金属細線38を介してパッケージ11のプリント配線基板12上に形成されたパッド14に、それぞれ接続されている。

【0031】シリコン基板31のプリント配線基板12
30 側の面31b(以下、基板下面31bと称する)上にも、集積回路33が形成されている。図4(b)に示すように、集積回路33の中央部は回路領域であり、この回路領域の周辺に、この集積回路33を外部に接続するための複数のパッド37が形成されている。これら各パッド37は半田バンプ39を介してプリント配線基板12上の各パッド13に、それぞれ接続されている。

【0032】パッケージ11は、半導体チップ20、30を載置するためのプリント配線基板12と、このプリント配線基板12の内面(プラスチック封止材16で封
40 止された側の面)上に形成された複数のパッド13、14と、プリント配線基板11の外面(内面の反対側の面)上に形成された半田ボール15と、半導体素子20、30を保護するためのプラスチック封止材16とを備える。プリント配線基板12の内面上には、複数のパッド13が、このプリント配線基板12の外縁の内側に並べて形成されている。また、プリント配線基板12上には、複数のパッド14がパッド13の周囲を取り囲むように形成されている。前述したように、各パッド13は、半田バンプ39を介して、半導体チップ30の基板
50

8

下面31bに形成された各パッド37に、それぞれ接続されている。また、パッド14についても前述のように、半導体チップ30の基板上面31a上に形成されたパッド36と、金属細線38を介して接続されている。

【0033】プリント配線基板12の外面上には、外部回路と接続するための複数の半田ボール15(外部接続端子)が形成されている。これら各半田ボール15はプリント配線基板12内に形成された基板内配線(図示せず)により、プリント配線基板12の各パッド13、14と接続されている。従って、各半導体チップ20、30に形成された集積回路22、23、32、および33は、この半田ボール15を介して外部回路と電氣的に接続され得る状態となっている。

【0034】そして、半導体チップ20、30およびプリント配線基板12の半導体チップ20、30が載置された面はプラスチック封止材16によって封止されている。このプラスチック封止材16により、半導体チップ20、30および配線基板12の各パッド13、14は、外的環境から保護されている。すなわち、このパッケージ11は、従来のBGAパッケージとほぼ同様な構造を有しており、プリント配線基板12上に半導体チップ20、30が積層された構造となっている。

【0035】このように、本実施形態の半導体装置では、シリコン基板21、31の両面上に集積回路22、23、32、および33が形成されている。従って、同一のシリコン基板上に従来の2倍の集積回路を形成することができる。よって、従来の構造の集積回路の構造およびパッケージ構造をほとんど変えることなく、実装密度を向上させることができる。また、シリコン基板21、31の両面に集積回路22、23、32、および33を形成することで、基板材料のシリコンを有効利用することができるので、材料コストを削減することができる。さらに、本実施形態の半導体装置によれば、異種材料、異種プロセスにより形成されたLSIを組み合わせた半導体チップを製造することができるので、新機能デバイスを作製できる可能性が高くなる。

【0036】また、これらシリコン基板21、31の両面に形成された集積回路22、23、32、および33は、金属細線28、38や半田バンプ29、39を介して互いに接続されている。そして、集積回路32および33がプリント配線基板12の各パッド13、14に直接的に接続されている。これにより、各集積回路22、23に形成された素子間の信号配線長が短縮される。従って、素子間の信号伝搬遅延やノイズ、信号エネルギーの減衰などの問題が減少されるため、従来よりも半導体装置の電氣的特性が向上する。

【0037】また、シリコン基板の両面に集積回路が形成された半導体チップ20、30をプリント配線基板12上に積層することにより、実装密度をさらに向上させることができる。

【0038】次に、上記のような半導体装置の製造方法を説明する。図5に本実施形態の半導体チップの製造方法の工程図を示す。以下、シリコン基板の両面上に集積回路を備える半導体チップの製造方法を説明する。半導体装置の製造工程においては、通常、予めその一方の面が鏡面研磨されたシリコン基板61（ベアウェハ）を用いる（図5（a））。まず、シリコン基板61（ベアウェハ）の研磨された面61a上に、通常のLSI製造工程を用いて、集積回路62を形成する（図5（b））。このとき、通常の工程では、回路形成が行われた後に、シリコン基板61上に膜の平坦化および回路保護のための保護膜（パッシベーション膜、以下「PV膜」と表記する）が形成され、このPV膜をエッチングしてボンディングパッド部分の窓開けが行われる。しかし、ここでは、形成された集積回路を汚れから保護するために、PV膜のエッチングは行われない。

【0039】次に、片面に回路が形成されたシリコン基板61を反転させ、面61aの反対側の面61bを鏡面研磨し（図5（c））、この面61b上にも通常のLSI製造工程により集積回路63を形成する（図5

（d））。このように、シリコン基板61の両面上に集積回路62、63を形成した後に、集積回路63上のPV膜のエッチングを行って、ボンディングパッド部分の窓開けを行う（図5（e））。すると、図5（f）の上面図に示すように、集積回路の周辺部分にA1電極による複数のパッド65が露出される。シリコン基板61の面61a上に形成された集積回路62に関しても同様に、PV膜のエッチングを行い、複数のパッド64を露出させる。このようにして、半導体チップ20、30が製造される。

【0040】次に、半導体チップ30の基板上面31a側と半導体チップ20の基板下面21a側を対向させるように、半導体チップ30上に半導体チップ20を載置する。そして、接続されるべき各パッド25と各パッド34とをリフロー方式を用いて半田バンプ29により半田付けする。そして、半導体チップ20の集積回路22に各パッド24と半導体チップ30の集積回路32の各パッド35とを、金属細線28を用いてそれぞれワイヤ・ボンディングすることにより接続する。

【0041】次に、半導体チップ20を載置した半導体チップ30をプリント配線基板12上に載置し、半導体チップ30の集積回路33の各パッド37と接続されるべき各パッド13とをリフロー・半田付けにより接続する。そして、集積回路32の各パッド36と接続されるべき各パッド14とを金属細線38によりワイヤ・ボンディングする。そして、プリント配線基板12に装着された半導体チップ20、30をプラスチック封止材16により樹脂封止する。

【0042】このように、本実施形態の製造方法においては、シリコンウェハの片面上に集積回路を形成した

後、PV膜のエッチングを行わずにこのシリコンウェハの反対面にも集積回路を形成する。これにより、反対面上に回路形成を行うときにも、先に形成された集積回路を汚れ等から保護することができるため、シリコンウェハの両面上に容易に集積回路を形成することができる。

【0043】＜第2実施形態＞第2実施形態の半導体装置は、半導体チップ20、30を、その片面上に集積回路が形成された2枚のシリコン基板を貼り合わせることで、シリコン基板の両面上に集積回路を備える半導体チップを形成することを特徴とし、他の部分を第1実施形態と同一とする。

【0044】図6は、第2実施形態による半導体装置に用いられる半導体チップの縦断面図である。シリコン基板71の一方の面上には、集積回路72が形成されている。また、シリコン基板73の一方の面上にも、集積回路74が形成されている。これらシリコン基板71とシリコン基板73の集積回路72、74が形成されていない面同士を互いに貼り合わせることで、シリコン基板の両面上に集積回路を備える半導体チップ70が構成されている。本第2実施形態では、第1実施形態の半導体チップ20、30の代わりにこのような半導体チップ70が用いられている。

【0045】図7は、本発明の第2実施形態による半導体装置を構成する半導体チップ70の製造方法を示す断面図である。以下、本実施形態の半導体チップ70の製造方法を説明する。第1実施形態は、1枚のシリコン基板を用いて、その両面に集積回路を形成するものであるが、本第2実施形態は、2枚のシリコン基板を用いて半導体装置を製造することを特徴とする。

【0046】まず、図7（a）に示すシリコン基板71の鏡面研磨された面71a上に、通常のLSI製造工程を用いて集積回路72を形成する（図7（b））。次に、このシリコン基板71の集積回路72が形成されていない面71bをバックグラインドすることにより、シリコン基板71の厚さを小さくする。そして、このバックグラインドされた面71b上に金蒸着を行う（図7（c））。

【0047】シリコン基板71と、このシリコン基板71と同様にその片面上に集積回路74が形成されたシリコン基板73とを、それらの集積回路72、74が形成された面をそれぞれ外側に向け、金蒸着がなされた面同士を加熱圧着する。このようにして、シリコン基板の両面上に集積回路を備える半導体チップ70を得ることができる。

【0048】以下、上記のように製造された半導体チップ70同士の接続方法やプラスチック封止材による樹脂封止工程、およびプリント配線基板への実装方法は、第1実施形態の半導体装置の製造方法に記載されたものと同様であるので、これらの説明を省略する。

【0049】このように、本実施形態の半導体装置の製

造方法によれば、その片面上に集積回路が形成された 2 枚のシリコンウェハを貼り合わせることににより、シリコン基板の両面上に集積回路を備える半導体装置を製造することができる。このため、本発明の半導体装置を、通常の（シリコン基板の片面のみに集積回路を備える）半導体装置を製造する場合と同様に製造することができる。

【0050】＜第 3 実施形態＞第 3 実施形態による半導体装置は、図 8 に示すように、上段に重ねられる半導体チップ 40 における他方のチップに対向する面上に集積回路を形成し、その反対側の面上にチップから発生する熱を外に放出するためのヒートスプレッダ（放熱板）を設置することを特徴とし、他の部分を第 1 実施形態と同一とする。

【0051】すなわち、第 3 実施形態による半導体装置は、パッケージ 11' と半導体チップ 40、50 とを備える。半導体チップ 40（第 2 の半導体チップ）を構成するシリコン基板 41（第 2 の半導体基板）における半導体チップ 50 側の面上には、第 1 実施形態の半導体チップ 20 と同様に、集積回路 42（第 3 の集積回路）が形成されている。この集積回路 42 には、外部と電気的に接続するための複数のパッド 45 が形成されており、各パッド 45 は半田バンプ 49 を介して半導体チップ 50 のパッド 54 にそれぞれ接続されている。

【0052】シリコン基板 41 の反対側の面上には、このシリコン基板 41 のほぼ全面上にわたってヒートスプレッダ 43（放熱板）が装着されている。このヒートスプレッダ 43 は、0.3～0.5mm の厚さを有する銅板である。銅は熱伝導性が高いため、シリコン基板 41 上に装着することにより半導体チップ 40、50 から発生する熱を効率よく外部に放出することができる。

【0053】半導体チップ 50（第 1 の半導体チップ）は、シリコン基板 51（第 1 の半導体基板）の両面上に集積回路 52、53（第 1 および第 2 の集積回路）が形成されている。シリコン基板 51 の半導体チップ 40 と対向する面上に形成された集積回路 52 には、複数のパッド 54 および複数のパッド 56 が形成されている。前述のように、このパッド 54 は、バンプ 49 を介してパッド 45 と接続されることにより、半導体チップ 40 の集積回路 42 と接続されている。また、集積回路 52 を外部回路に接続するためのパッド 56 は、金属細線 58 を介してプリント配線基板 12 上のパッド 14 に接続されている。

【0054】半導体基板 51 のプリント配線基板 12 側の面上に形成された集積回路 53 には、複数のパッド 57 が形成されており、各パッド 57 は、半田バンプ 59 を介してプリント配線基板 12 の各パッド 13 にそれぞれ接続されている。

【0055】プリント配線基板 12 上には、複数のパッド 13 および複数のパッド 14 が形成されている。前述

のように、各パッド 13 には半田バンプ 59 を介して半導体チップ 50 に形成された集積回路 53 のパッド 57 が、パッド 14 には金属細線 58 を介して半導体チップ 50 に形成された集積回路 52 のパッド 54 が、それぞれ接続されている。これらパッド 13、14 は、プリント配線基板 12 の内部に形成された配線（図示せず）を介してこのプリント基板 12 の外面上に形成された半田ボール 15（外部接続端子）にそれぞれ接続されることにより、外部回路と接続され得る状態となっている。また、各チップ 40、50 はプラスチック封止材により封止されているが、半導体チップ 40 におけるシリコン基板 41 上のヒートスプレッダが装着された部分は、放熱のためにプラスチック封止材の外部に露出された状態となっている。

【0056】本発明の各実施形態においては、シリコン基板の両面に集積回路を形成し、このような半導体チップを積層することによってパッケージ内における素子の密度を向上させている。このため、各素子から発生する熱量も多くなる。この熱により各チップの温度が上昇すると、素子の信頼性が低下する。また、パッケージ内の温度が上昇すると、熱膨張率の違いにより異種材料同士の界面に応力が生じ、クラックの発生などの不良の原因となる。従って、上記各実施形態のような実装密度の高い半導体装置では、素子の放熱が重要となる。そこで、本実施形態のように、シリコン基板 41 の片面上に集積回路 42 を形成し、もう一方の面上にヒートスプレッダ 43 を装着した半導体チップ 40 を、シリコン基板 51 両面に集積回路 52、53 が形成された半導体チップ 50 と組み合わせて用いることにより、各素子から発生する熱を効率よくパッケージ 16' の外部に放出することができる。従って、素子の発熱による各半導体チップの信頼性の低下やパッケージ内の熱応力の発生を低減することができる。従って、本実施形態によれば、実装密度が高く、しかも信頼性の高い半導体装置を提供することができる。

【0057】以下、本実施形態の半導体装置の製造方法を説明する。まず、通常の LSI 製造工程により、シリコン基板 41 の一方の面上に集積回路 42 を形成する。そして、このシリコン基板 41 の集積回路 42 が形成された面の裏面上に、銅板からなるヒートスプレッダ 43 を装着する。このようにして、半導体チップ 40 が製造される。

【0058】半導体チップ 50 の製造方法は、第 1 実施形態のシリコン基板の両面上に集積回路を有する半導体チップの製造方法と同様であるので、説明を省略する。また、半導体チップ 40 および半導体チップ 50 の各パッド同士の接続方法やプラスチック封止材による樹脂封止工程、およびプリント配線基板への実装方法は、第 1 実施形態の半導体装置の製造方法に記載されたものと同様であるので、これらの説明を省略する。

【0059】<変形例>上記各実施形態においては種々の変更が可能である。例えば、第1および第2実施形態においては、半導体チップ20、30（あるいは70）を同一パッケージ11内で積層させた構造としているが、プリント配線基板12に載置される半導体チップの数は単数であっても良いし、3以上の半導体チップが積層されたものであっても良い。第3実施形態においても、シリコン基板の両面に集積回路が形成された半導体チップ50が複数積層されたものであってもよい。

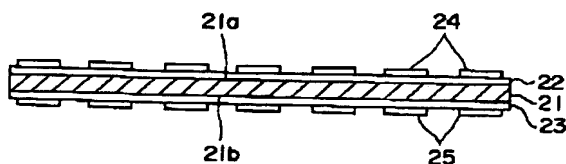
【0060】また、第2実施形態では、シリコン基板71、73の裏面（集積回路が形成されていない面）に金蒸着を行い、加熱圧着を行うことによりこれらシリコン基板同士の接着を行っているが、これに限らず、他の金属を基板に蒸着することによりシリコン基板同士の接着を行ってもよいし、接着剤等を用いて接着してもよい。

【0061】また、第3実施形態においては、ヒートスプレッドとして0.3~0.5mm厚の銅板を用いているが、これに限らず、タングステンあるいは銅とタングステンの合金からなる板を用いてもよい。また、ヒートスプレッドは、パッケージ外部に露出された状態とされているが、プラスチック封止材によりパッケージ内部に封止されたものであってもよいし、ヒートスプレッドの一部のみがパッケージ外部に露出されたものであってもよい。また、第3実施形態の半導体チップ50は、第2実施形態のように、その片面上に集積回路が形成された2枚のシリコン基板を貼り合わされてなるものであってもよい。

【0062】さらに、上記各実施形態ともに、プラスチック封止材による封止の形態は、トランスファモールド、液状樹脂、アンダーフィルのいずれかによるものであってもよいし、あるいはこれらの組み合わせでもよい。また、上記各実施形態において、パッケージ形態はBGAパッケージとしているが、これに限らず他のプラスチックパッケージであってもよいし、セラミックパッケージ等であってもよい。

【0063】さらに、上記各実施形態では、シリコン基板を用いた半導体装置が用いられているが、他の半導体基板を用いた半導体装置であってもよいことは当然である。

【図2】



【0064】

【発明の効果】本発明によれば、実装密度が高く、信頼性の高い半導体装置を提供することができる。また、このような半導体装置を容易に、しかも安価に製造することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態による半導体装置の縦断面図

【図2】 本発明の第1実施形態による半導体装置に用いられる半導体チップの縦断面図

【図3】 図1の半導体チップ20をAの方向から見た平面図（a）、および半導体チップ30側から見た平面図

【図4】 図1の半導体チップ30を半導体チップ20側から見た平面図（a）、およびプリント配線基板12側から見た図

【図5】 本発明の第1実施形態による半導体装置の製造方法を示す工程図

【図6】 本発明の第2実施形態による半導体装置に用いられる半導体チップの縦断面図

【図7】 本発明の第2実施形態による半導体装置の製造方法を示す工程図

【図8】 本発明の第3実施形態による半導体装置の縦断面図

【図9】 従来技術の半導体装置の縦断面図

【符号の説明】

11, 11' パッケージ

12 プリント配線基板

13, 14, 24, 25, 34~37, 45, 54, 5

6, 57, 65 パッド

15 半田ボール

16, 16' プラスチック封止材

20, 30, 40, 50, 70 半導体チップ

21, 31, 41, 51, 61, 71, 73 シリコン基板

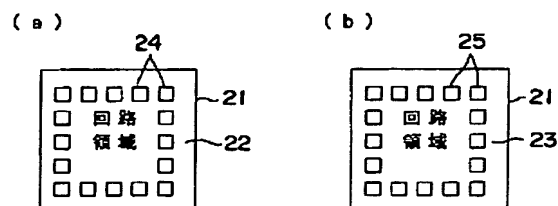
22, 23, 32, 33, 42, 52, 53, 62, 6

3, 72, 74 集積回路

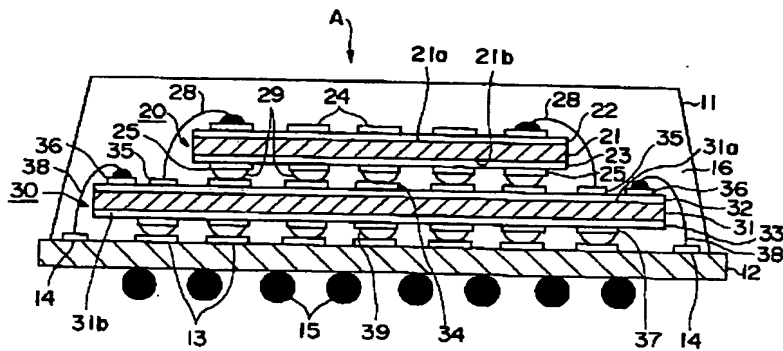
28, 38, 58 金属細線

29, 39, 49, 59 半田パンブ

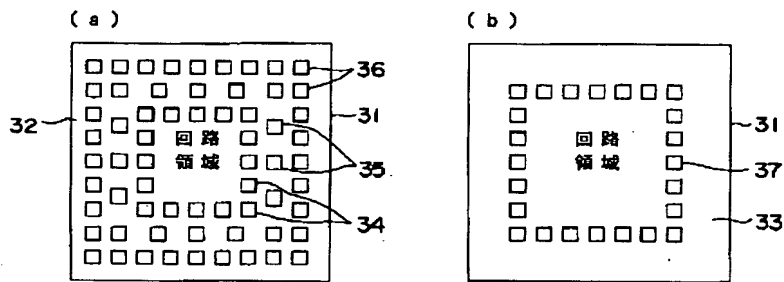
【図3】



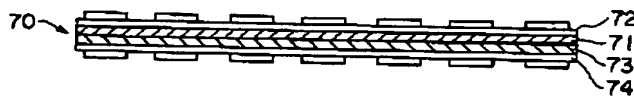
【図 1】



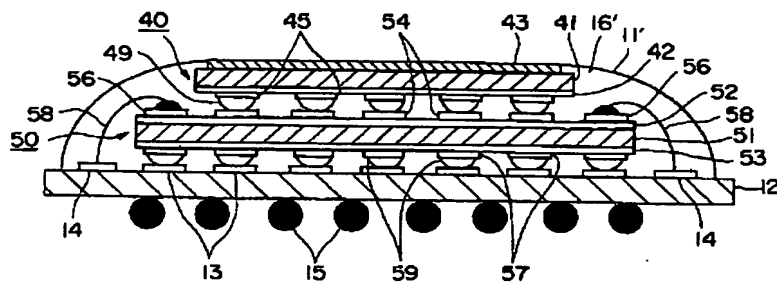
【図 4】



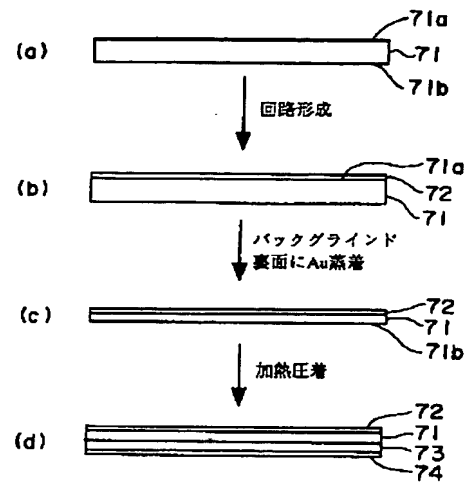
【図 6】



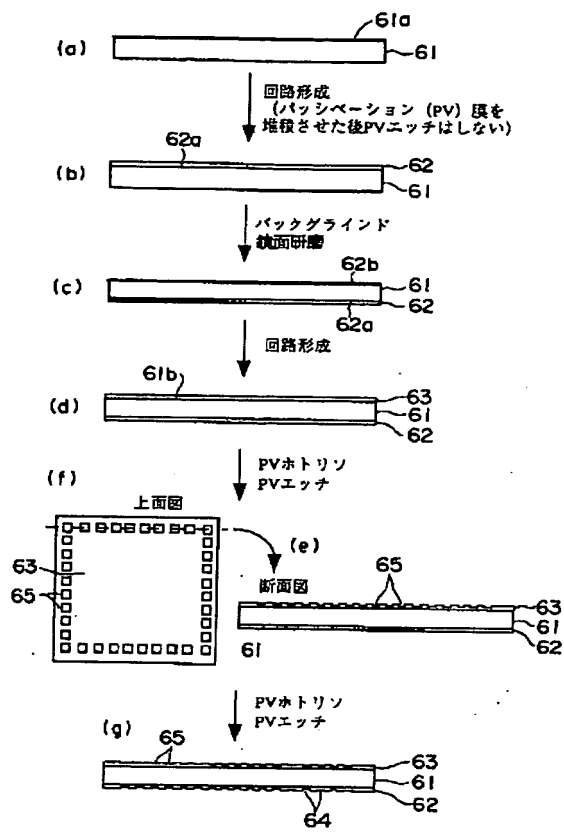
【図 8】



【図 7】



【図 5】



【図 9】

